



УКРАЇНА

(19) **UA** (11) **97162** (13) **U**
(51) МПК (2015.01)
G06F 7/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

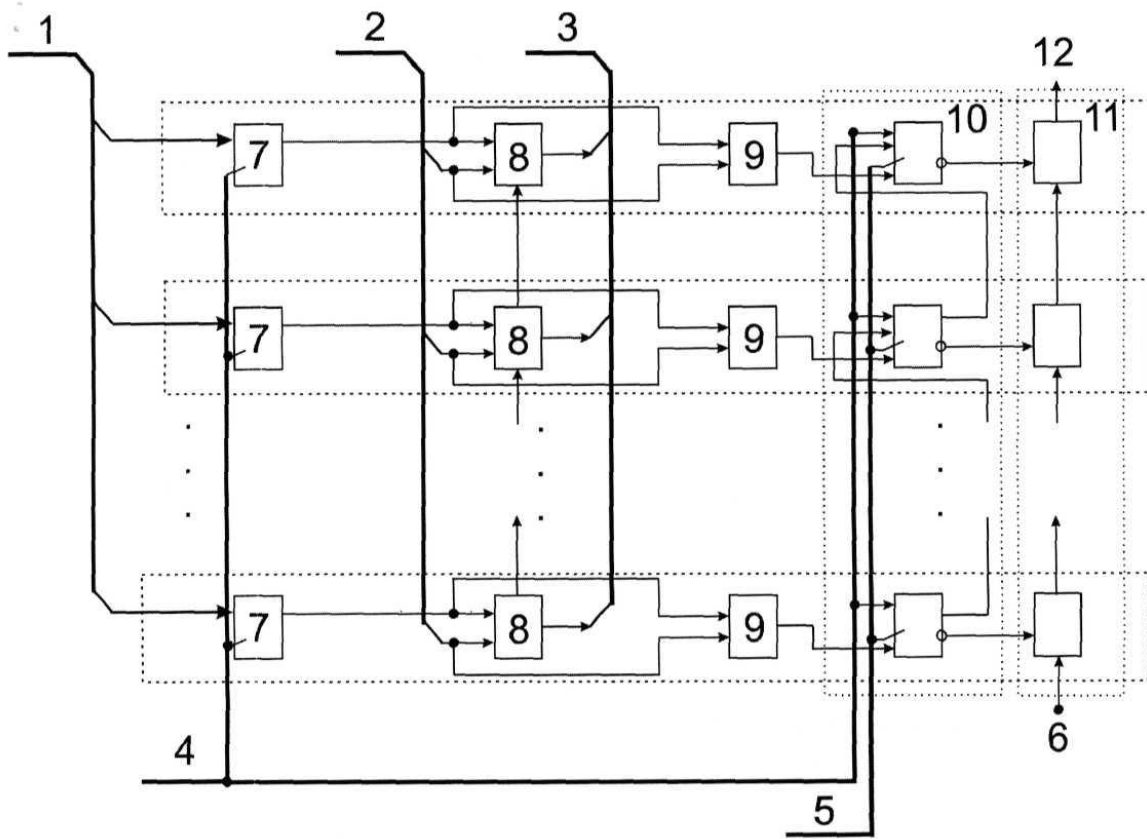
(21) Номер заявки: u 2014 05380	(72) Винахідник(и): Николайчук Ярослав Миколайович (UA), Кімак Володимир Любомирович (UA), Круліковський Борис Борисович (UA)
(22) Дата подання заявки: 20.05.2014	(73) Власник(и): ІВАНО-ФРАНКІВСЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ НАФТИ І ГАЗУ, вул. Карпатська, 15, м. Івано-Франківськ, 76019 (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.03.2015	
(46) Публікація відомостей про видачу патенту: 10.03.2015, Бюл.№ 5	

(54) ПРИСТРІЙ ДОДАВАННЯ БАГАТОРОЗРЯДНИХ ДВІЙКОВИХ ЧИСЕЛ

(57) Реферат:

Пристрій додавання багаторозрядних двійкових чисел містить дві вхідні і одну вихідну шини, які є відповідно n-розрядними входами і n-розрядним виходом пристрою, в кожному розряді пристрою міститься повний однорозрядний суматор, вхід переносу якого підключений до виходу переносу суматора молодшого розряду пристрою, а вихід переносу підключений до входу переносу суматора старшого розряду пристрою. Додатково у кожному розряді суматора після порівняння однаковості біт шляхом зсуву стартових нулів у регістрі відбувається формування сигналу прискореного завершення операції додавання, кожний розряд пристрою додатково містить D-тригер, D-вхід якого з'єднаний з відповідним розрядом першої вхідної шини, входи синхронізації об'єднані між собою та S-входом D-тригера регістра зсуву і є четвертим входом пристрою, прямий вихід D-тригера з'єднаний з першим входом суматора, в кожному розряді пристрою вихід елемента «XOR» записується по R-входу в D-тригер багаторозрядного тактового регістра зсуву, інверсний вихід якого підключений до ланцюга логічних елементів «AND», вихід якого формує сигнал прискореного завершення операції підсумовування.

UA 97162 U



Пристрій належить до пристроїв додавання двійкових чисел і може бути використаний у процесорах опрацювання багаторозрядних даних.

Відомий аналог - пристрій [1] послідовного додавання двійкових чисел, в якому два двійкові числа побітно додаються в кожному розряді, результат додавання всіх розрядів формує код вихідної суми доданків. На виході кожного однорозрядного суматора формується біт наскрізного переносу, і після всіх наскрізних переносів на других виходах однорозрядних суматорів формується двійковий код суми.

Недоліком відомого пристрою є низька швидкодія, обумовлена наявністю наскрізних переносів, число яких рівне розрядності багаторозрядного суматора. Даний пристрій не дозволяє реалізувати швидкодіючі багаторозрядні суматори, більше 1024 біт, які використовуються у процесорах шифрування інформації. Наприклад, при тактовій частоті мікроелектронних вентилів 1 ГГц, на базі яких реалізовані повні двійкові однорозрядні суматори, часова складність яких 2-5 ν , де ν - тривалість переключення мікроелектронного вентиля. При

цьому швидкодія 1024-бітного багаторозрядного суматора складає $\frac{10^{12}}{1024} \approx 10^9 = 1$ МГц.

При цьому виконання типових операцій шифрування, які потребують піднесення багаторозрядних двійкових чисел до квадрату або перемноження, швидкодія цих операцій зменшується у 1000 раз і не перевищує 100 КГц. А таких множень потрібно виконати 1024 і у загальному випадку множення відбувається з частотою 1 КГц, що не відповідає сучасним умовам.

Відомий пристрій паралельного додавання двійкових чисел, який передбачає виконання черезрівневих переносів та розбиття суматора на групи меншої розрядності, який характеризується високою швидкістю. Недоліком відомого пристрою є висока апаратна складність реалізації операції сумування, яка квадратично зростає зі зростанням їх розрядності, що обмежує можливі реалізації таких суматорів при розрядності більше 1024 біт [2].

Загальним недоліком відомих пристроїв паралельного підсумовування двійкових чисел є відсутність адаптації до розподілу числа наборів нулів і одиниць у двійковому представленні чисел. Статистичний аналіз показує, що середня найдовша послідовність переносів приблизно 4,6 для 40-бітного суматора [3]. У загальному випадку, середня найдовша послідовність переносів шляхом додавання двох n -бітних чисел обмежена зверху $\log_2 n$ [4]. Таким чином можна розробити схему суматора, яка виявляє завершення всіх процесів поширення переносів і виконується за час $\log_2 n$.

Відомий пристрій (найближчий аналог) - суматор з передачею сигналів по ланцюгу замкнених ключів [5], який у кожному розряді містить повний суматор і ключ-мультиплексор, який в залежності від рівності вхідних сигналів, 0 і 0 або 1 і 1 комутує один з вхідних сигналів на вихід переносу, а в іншому випадку комутує перенос з молодшого розряду на вихід переносу.

Недоліком найближчого аналога є низька швидкодія, обумовлена відсутністю формування сигналу в момент завершення всіх локальних переносів між групами розрядів суматора, в яких формуються однакові вхідні сигнали 0 і 0 або 1 і 1.

Суть пристрою полягає в тому, що при виконанні операцій додавання у кожному розряді додатково реєструється наявність однакових вхідних сигналів і ланцюгом логічних елементів "AND" формуються сигнали початків і завершення сумування у випадковій групі між наборами однакових вхідних сигналів. При цьому швидкодія для багаторозрядних суматорів зменшується з $2n$ тактів до $\log_2 n$ тактів, де n - число розрядів суматора, тобто підвищення швидкодії, яке

визначається, згідно з відношенням $K = \frac{A_1}{A_2} = \frac{2n}{\log_2 n}$,

де A_1 - швидкодія найближчого аналога;
 A_2 - швидкодія запропонованого пристрою.

На кресленні зображена структурна схема пристрою: 1- вхідна шина першого доданку a , 2 - вхідна шина другого доданку b , 3 - вихідна шина суми, 4 - шина формування початку роботи пристрою, 5 - шина синхронізації регістра зсуву, 6 - сигнал логічної одиниці, 7-D-тригер, 8 - повний суматор, 9 - логічний елемент "XOR", 10 - регістр зсуву на D-тригерах, 11 - ланцюг логічних елементів "AND", 12 - сигнал завершення роботи пристрою.

Пристрій працює наступним чином.

На вхідні шини 1 і 2 подаються коди операндів операції підсумовування, на вхід 6 подається сигнал логічної одиниці. По сигналу синхронізації 4 в D-тригери 7 записується двійковий код першого операнда, а D-тригери регістра зсуву встановлюються в стан "1" по S-входах. При цьому в елементах 8 виконуються паралельні операції підсумовування з наскрізними

переносами, а на виходах елементів 9 формуються сигнали, які встановлюють D-тригери регістра зсуву по R-входах в нульовий стан. Під дією сигналу синхронізації шини 5, починаючи з тригерів, які знаходяться в стані "0", записуються нулі в групах розрядів, на які поширюються наскрізні переноси. Після завершення групи з найбільшим числом розрядів між тригерами, які знаходяться в нульових станах, на виході ланцюга 11 формується сигнал прискореного завершення підсумовування 12.

Приклад прискореної операції підсумовування у пристрої:

Нехай $n=32$, $a = 2938803434_{(10)}$, $b=1495158081_{(10)}$.

<i>a</i>	1 0 1 0 1 1 1 1 0 0 0 1 0 1 0 1 0 1 0 0 1 0 1 0 0 1 1 1 0 1 0 1 0
<i>b</i>	0 1 0 1 1 0 0 1 0 0 0 1 1 1 1 0 0 1 0 0 1 1 0 1 0 1 0 0 0 0 0 1
Start	1 1 1 1 0 1 1 0 0 0 1 1 0 1 0 0 1 1 0 1 1 1 0 1 1 0 1 0 1 0 1 1 1
	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
End	0

Таким чином максимальний ланцюг поширення сигналу переносу $C_{max} = 4$. Результат обчислення буде отримано за 4 такти роботи регістра 10.

Підвищення швидкодії становить:
$$K = \frac{2 * 32}{\log_2 32} = \frac{64}{5} = 12,8 \text{ раз.}$$

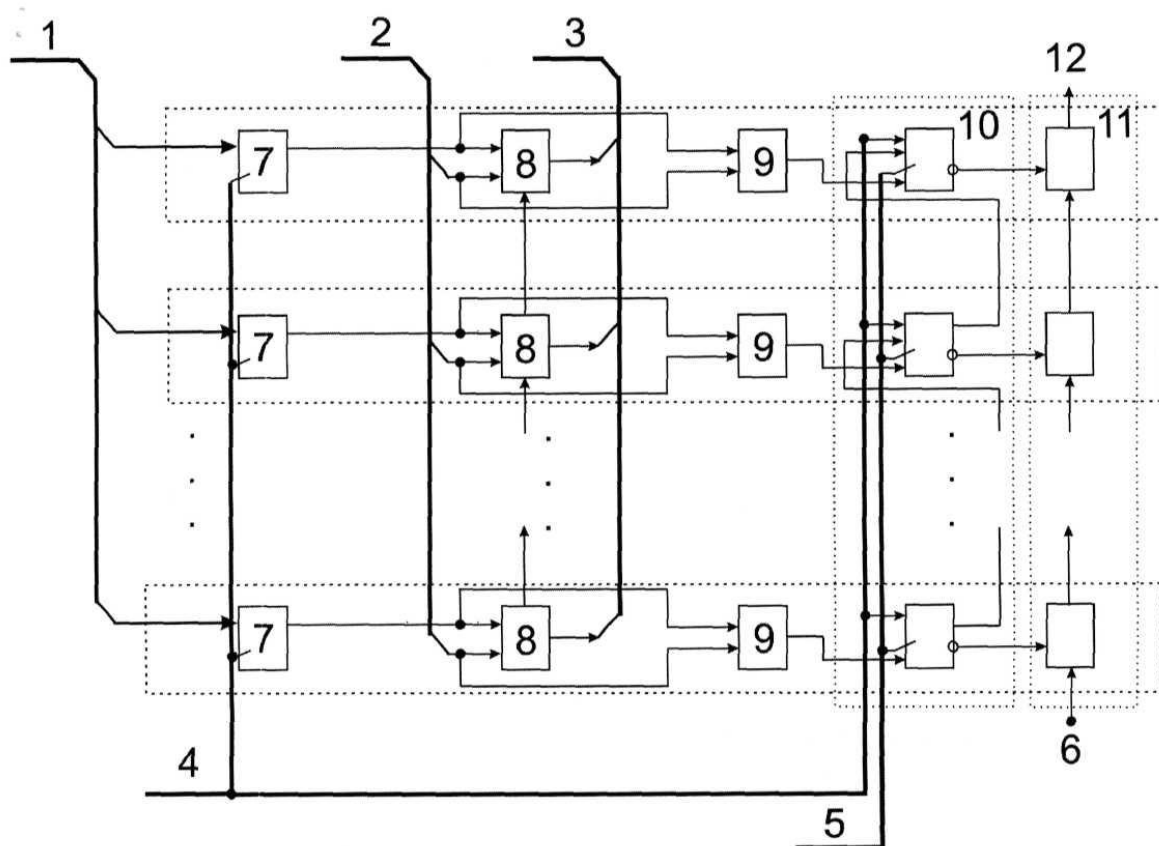
Джерела інформації:

1. Угрюмов Е.П. Цифровая схемотехника: Учеб. пособие для вузов. - 2-е изд., перераб. И доп. / Е.П. Угрюмов - СПб.: БХВ-Петербург, 2004. - С. 118, рис. 2,27а - Схема сумматора для последовательных операндов.
2. Угрюмов Е.П. Цифровая схемотехника: Учеб. пособие для вузов. - 2-е изд., перераб. И доп. /Е.П. Угрюмов. - СПб.: БХВ-Петербург, 2004. - С. 126, рис. 2,33 - Схема группового сумматора с паралельным переносом.
3. B.Gilchrist, J.H. Pomerene, and S.Y. Wong. Fast carry logic for digital computers. IRE Transactions on Electronic Computers, 4:133-136, 1955.
4. A.W. Burks, H.H. Goldstein and J. von Neumann, Preliminary Discussion of the Logical Design of an Electronic Computing Instrument", in: A. H. Taub (Ed.), Collected Works of John von Neumann, Macmillan, 1963. - V. 5. - P. 34-79.
5. Угрюмов Е.П. Цифровая схемотехника: Учеб. пособие для вузов. - 2-е изд., перераб. И доп. / Е.П. Угрюмов - СПб.: БХВ-Петербург, 2004. - С. 118, рис. 2,31 - Схема разряда сумматора с передачей сигнала переноса по цепочке замкнутых ключей.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Пристрій додавання багаторозрядних двійкових чисел, у якому в кожному розряді двійкового суматора виконуються операція додавання відповідних бітів двох доданків, операція наскрізного переносу з молодшого розряду у старший та порівняння однаковості бітів, який містить дві вхідні і одну вихідну шини, які є відповідно n-розрядними входами і n-розрядним виходом пристрою, в кожному розряді пристрою міститься повний однорозрядний суматор, вхід переносу якого підключений до виходу переносу суматора молодшого розряду пристрою, а вихід переносу підключений до входу переносу суматора старшого розряду пристрою, який **відрізняється** тим, що додатково у кожному розряді суматора після порівняння однаковості біт шляхом зсуву стартових нулів у регістрі відбувається формування сигналу прискореного завершення операції додавання, кожний розряд пристрою додатково містить D-тригер, D-вхід якого з'єднаний з відповідним розрядом першої вхідної шини, входи синхронізації об'єднані між собою та S-входом D-тригера регістра зсуву і є четвертим входом пристрою, прямий вихід D-тригера з'єднаний з першим входом суматора, в кожному розряді пристрою вихід елемента

"XOR" записується по R-входу в D-тригер багаторозрядного тактового регістра зсуву, інверсний вихід якого підключений до ланцюга логічних елементів "AND", вихід якого формує сигнал прискороного завершення операції підсумовування.



Комп'ютерна верстка Г. Паяльніков

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601